



(19)

(11) Publication number: 2000098976 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10265458

(51) Intl. Cl.: G09G 3/36 G02F 1/133 G09G 3/20

(22) Application date: 18.09.98

(30) Priority:

(43) Date of application
publication: 07.04.00

(84) Designated
contracting states:

(71) Applicant: SONY CORP

(72) Inventor: SONEDA MITSUO

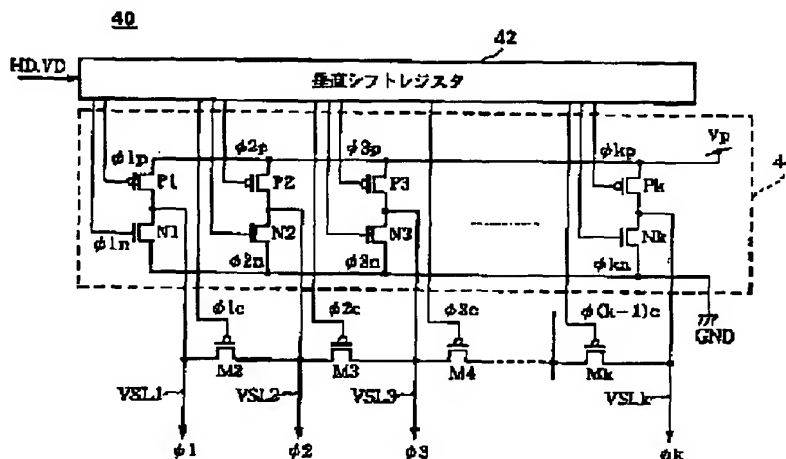
(74) Representative:

(54) SIGNAL LINE DRIVING CIRCUIT AND LIQUID CRYSTAL DRIVING CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption by providing a switch between adjacent signal lines and turning on/off these switches with the prescribed timing in plural signal lines successively driven.

SOLUTION: A vertical scanning circuit 40 is constituted of a vertical shift register 42, a vertical selecting line driver 44 consisting of pMOS, nMOS transistors, and switching elements M2, M3,... Mk connecting between adjacent signal lines in vertical scanning lines VSL1, VSL2,... VSLk. The vertical selecting line VSL1 is charged to driving voltage VSL2 at the first period of a horizontal synchronizing signal. The vertical selecting lines VSL1 and VSL2 both are set to a floating state at directly before finish of the first period, rearrangement of electric charges is performed by turning on the switching element M2 between vertical selecting lines, and the vertical selecting line VSL2 is charged to $V_p/2$. In the second period, the vertical selecting line VSL2 is charged to driving voltage V_p from $V_p/2$. After that, rearrangement of electric charges is performed in the same way in each vertical selecting line VSL1,... VSLk.



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-98976

(P2000-98976A)

(43) 公開日 平成12年4月7日 (2000. 4. 7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 G 5 C 0 8 0

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平10-265458

(22) 出願日 平成10年9月18日 (1998. 9. 18)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 曾根田 光生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

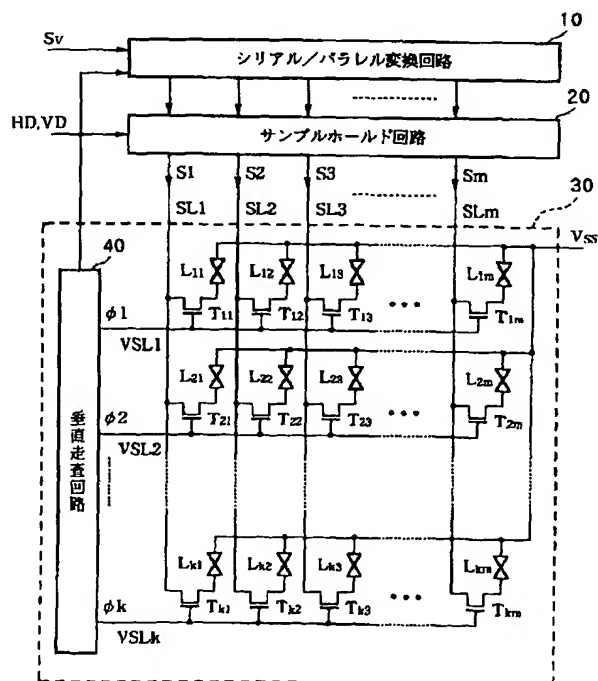
最終頁に続く

(54) 【発明の名称】 信号線駆動回路およびそれを用いた液晶駆動回路

(57) 【要約】

【課題】 液晶表示装置における隣り合う垂直選択線の電荷を再利用することにより、消費電力の低減を実現でき、大パネル化、高解像度化および高フレーム周波数に伴う消費電力の増加を抑制できる液晶駆動回路を実現する。

【解決手段】 隣接する垂直選択線の間にスイッチング素子M2, M3, ..., Mkを接続し、水平同期信号HDの1周期目に垂直選択線VSL1を駆動電圧Vpにチャージし、1周期目が終了する直前に垂直選択線VSL1とVSL2とともにフローティング状態にし、これらの垂直選択線間のスイッチング素子M2をオンすることで電荷の再分配を行い、垂直選択線VSL2をVp/2にチャージする。2周期目に入ると、垂直選択線VSL2をVp/2から駆動電圧Vpまでにチャージし、以降の各垂直選択線も同様に電荷の再分配により一旦Vp/2にチャージしてからVpにチャージするので、消費電力の低減を実現できる。



【特許請求の範囲】

【請求項1】 n (n は2以上の整数)本の信号線を所定の電圧に順次に設定し、それぞれの信号線に接続されている回路素子を機能させる信号線駆動回路であって、隣り合う信号線の間に接続されている複数のスイッチング素子と、

上記第1から第 n 本までの各信号線を順次上記所定の電圧に設定する電圧設定回路と、

上記第 i ($i=1, 2, \dots, n-1$)本の信号線が上記所定の電圧に保持されたあと、次の第 $(i+1)$ 本の信号線が駆動される前に、上記第 i 本の信号線と上記

$(i+1)$ 本の信号線間の上記スイッチング素子を所定の期間においてオンさせるスイッチ制御回路とを有する信号線駆動回路。

【請求項2】 複数の液晶セルが行列状に配置され、液晶セルの行ごとに駆動選択線が配線され、液晶セルの列ごとに画素信号線が配線され、各液晶セルはゲートが上記駆動選択線に接続されているトランジスタを介して、上記画素信号線に接続され、上記駆動選択線が所定の電圧に駆動されているとき、当該駆動選択線に接続されている一行の液晶セルが上記各画素信号線上の画素信号に応じて各画素を表示する液晶駆動回路であって、

n (n は2以上の整数)本の駆動選択線において、隣り合う駆動選択線の間に接続されている複数のスイッチング素子と、

同期信号を受けて、当該同期信号の周期ごとに上記各駆動選択線を順次上記所定の電圧に設定する駆動選択線ドライバーと、

上記第 i ($i=1, 2, \dots, n-1$)本の駆動選択線が上記所定の電圧に保持されたあと、次の第 $(i+1)$ 本の駆動選択線を駆動する前に、上記第 i 本の駆動選択線と上記第 $(i+1)$ 本の駆動選択線間の上記スイッチング素子を所定の期間においてオンさせるスイッチ制御回路とを有する液晶駆動回路。

【請求項3】 上記第 i 本の駆動信号線と第 $(i+1)$ 本の駆動信号線間の上記スイッチング素子がオンするとき、これら第 i および第 $(i+1)$ 本の駆動信号線がフローティング状態に設定されている請求項2記載の液晶駆動回路。

【請求項4】 上記スイッチング素子は、ゲートに上記スイッチ制御回路からの制御信号が印加され、ソースおよびドレインを構成する不純物拡散層がそれぞれ隣り合う上記駆動選択線に接続されているトランジスタにより構成されている請求項2記載の液晶駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号線駆動回路、特に液晶表示装置などに用いられ、例えば、垂直選択線などを駆動する液晶駆動回路に関するものである。

【0002】

【従来の技術】 液晶表示装置の液晶パネル、例えば、TFT (Thin film transistor) 液晶パネルでは、垂直走査回路によって複数本の垂直選択線を順次駆動することにより、これらの垂直選択線に接続されている液晶表示素子（以下、液晶セルという）を機能させる。一本の垂直選択線を駆動することにより、当該垂直選択線に接続されている複数の液晶セルにより一行の画素を表示させることができる。各垂直選択線を順次駆動することにより、表示パネルにおける一フレームの画像が表示される。

【0003】 図6は垂直走査回路の一構成例を示している。さらに、当該垂直走査回路の動作タイミングを図7のタイミングチャートにより示している。図6に示すように、垂直走査回路は、垂直シフトレジスタ50および複数のインバータ回路からなる垂直選択線ドライバーにより構成されている。

【0004】 垂直選択線ドライバーは、図示のようにpMOSトランジスタとnMOSトランジスタにより構成されている複数のcMOSインバータからなる。各インバータの入力端子に垂直シフトレジスタ50からの制御信号 $Sc1, Sc2, Sc3, \dots, Sc_k$ が入力され、各インバータの出力端子にそれぞれ垂直選択線 $VSL1, VSL2, VSL3, \dots, VSLk$ が接続されている。各インバータにより、入力された制御信号に応じて垂直選択線を駆動電圧 Vp または接地電位 GND の何れかに設定する。

【0005】 例えば、トランジスタ $P1$ と $N1$ により構成されているインバータにおいて、トランジスタ $P1$ のソースが駆動電圧 Vp に接続され、トランジスタ $N1$ のソースは接地されている。トランジスタ $P1$ と $N1$ のゲート同士が接続されてインバータの入力端子が形成され、さらにトランジスタ $P1$ と $N1$ のドレイン同士が接続されてインバータの出力端子が形成される。当該インバータの入力端子にハイレベルの制御信号 $Sc1$ が印加されているとき、トランジスタ $N1$ がオン、トランジスタ $P1$ がオフし、垂直選択線 $VSL1$ が接地電位 GND に保持される。逆に、当該インバータの入力端子にローレベルの制御信号 $Sc1$ が印加されているとき、トランジスタ $P1$ がオン、トランジスタ $N1$ がオフし、垂直選択線 $VSL1$ が駆動電圧 Vp にチャージされる。

【0006】 図6の垂直走査回路の動作タイミングは、図7のタイミングチャートにより示されている。図7において HD は、例えば、水平同期走査信号であり、 $\phi 1, \phi 2, \phi 3, \dots, \phi k$ は、それぞれ垂直選択線 $VSL1, VSL2, VSL3, \dots, VSLk$ の信号を示している。図示のように、各水平周期（1H）ごとに垂直選択線 $VSL1, VSL2, VSL3, \dots, VSLk$ が順次駆動される。即ち、各垂直選択線はそれぞれ1水平周期内に駆動電圧 Vp に保持される。

【0007】 図6に示す垂直走査回路により、図7に示

すタイミングで各垂直選択線が順次駆動電圧 V_P に保持されるので、液晶パネルにおいて各水平周期ごとに各垂直選択線に接続されている液晶セルにより一フレームの画像の各行が順次表示され、一垂直周期ごとに各フレームの画像が表示される。

【0008】

【発明が解決しようとする課題】ところで、上述した従来の液晶駆動回路において、各水平周期ごとに各垂直選択線は接地電位 GND から駆動電圧 V_P まで駆動される。即ち、各垂直選択線を接地電位 GND から駆動電圧 V_P までチャージするので、これに伴う消費電力が大きいという不利益がある。

【0009】例えば、液晶表示パネルの垂直選択線の本数を k 、垂直走査線一本当たりの容量を C_S 、駆動電圧を V_P 、フレーム周波数を f_V とすると、液晶パネルの垂直選択線駆動するための消費電力 P_C は、次式により求められる。

【0010】

【数1】

$$P_C = k \cdot C_S \cdot V_P^2 \cdot f_V \quad \dots (1)$$

【0011】液晶表示装置の大パネル化、高解像度化に伴い、垂直選択線の長さの増加により一本当たりの容量が増し、さらに垂直選択線の本数が増えるので、消費電力 P_C が増加する。さらに、フリッカ（表示画面のちらつき）を低減するためにフレーム周波数を増加する対策が講じられている液晶表示装置においてフレーム周波数の増加により消費電力 P_C が増加する。

【0012】本発明は、かかる事情に鑑みてなされたものであり、その目的は、液晶表示装置における隣り合う垂直選択線の電荷を再利用することにより、消費電力の低減を実現でき、大パネル化、高解像度化および高フレーム周波数に伴う消費電力の増加を抑制できる液晶駆動回路を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明の信号線駆動回路は、 n (n は2以上の整数) 本の信号線を所定の電圧に順次に設定し、それぞれの信号線に接続されている回路素子を機能させる信号線駆動回路であって、隣り合う信号線の間に接続されている複数のスイッチング素子と、上記第1から第 n 本までの各信号線を順次上記所定の電圧に設定する電圧設定回路と、上記第 i ($i = 1, 2, \dots, n-1$) 本の信号線が上記所定の電圧に保持されたあと、次の第 $(i+1)$ 本の信号線が駆動される前に、上記第 i 本の信号線と上記第 $(i+1)$ 本の信号線間の上記スイッチング素子を所定の期間においてオンさせるスイッチ制御回路とを有する。

【0014】また、本発明の液晶駆動回路は、複数の液晶セルが行列状に配置され、液晶セルの行ごとに駆動選択線が配線され、液晶セルの列ごとに画素信号線が配線

され、各液晶セルはゲートが上記駆動選択線に接続されているトランジスタを介して、上記画素信号線に接続され、上記駆動選択線が所定の電圧に駆動されているとき、当該駆動選択線に接続されいる一行の液晶セルが上記各画素信号線上の画素信号に応じて各画素を表示する液晶駆動回路であって、 n (n は2以上の整数) 本の駆動選択線において、隣り合う駆動選択線の間に接続されている複数のスイッチング素子と、同期信号を受けて、当該同期信号の周期ごとに上記各駆動選択線を順次上記所定の電圧に設定する駆動選択線ドライバーと、上記第 i ($i = 1, 2, \dots, n-1$) 本の駆動選択線が上記所定の電圧に保持されたあと、次の第 $(i+1)$ 本の駆動選択線を駆動する前に、上記第 i 本の駆動選択線と上記第 $(i+1)$ 本の駆動選択線間の上記スイッチング素子を所定の期間においてオンさせるスイッチ制御回路とを有する。

【0015】さらに、本発明では、好適には、上記第 i 本の駆動信号線と第 $(i+1)$ 本の駆動信号線間の上記スイッチング素子がオンするとき、これら第 i および第 $(i+1)$ 本の駆動選択線がフローティング状態に設定されている。これにより、上記スイッチング素子がオンするとき、上記第 i 本と第 $(i+1)$ 本の駆動選択線の電荷が再分配され、これらの駆動選択線が上記所定の駆動電圧のほぼ半分の電圧に保持される。

【0016】本発明によれば、所定の駆動電圧に駆動される複数の信号線において、隣り合う信号線の間に、それぞれスイッチング素子が設けられ、前の信号線の駆動が終了し、次の信号線の駆動が始まる前に、これらの信号線間のスイッチング素子をオンさせることにより、隣り合う信号線の電荷が再分配し、これにより前の信号線が駆動電圧のほぼ半分までレベルが低下し、次の信号線が駆動電圧のほぼ半分までレベルが上昇するので、当該次の信号線を駆動する場合に、駆動電圧のほぼ半分のレベルから上記駆動電圧までに駆動するので、信号線の駆動による消費電力が低減する。このように、隣り合う信号線において駆動期間が終了する信号線の電荷を再利用し、次に駆動する信号線の電位を持ち上げることで、消費電力の低減を図る。

【0017】

【発明の実施の形態】第1実施形態

図1は本発明に係る液晶駆動回路を含む液晶表示装置の一構成例を示す回路図である。図示のように、本例の液晶表示装置はシリアル/パラレル変換回路10、サンプルホールド回路20および液晶パネル30により構成されている。液晶パネル30は、例えば、TFT液晶パネルであり、垂直走査回路40により駆動されている k 本の垂直選択線 $VSL1, VSL2, \dots, VSLk$ 、これらの垂直選択線により駆動されている複数のTFTおよびこれらのTFTに接続されている複数の液晶セルにより構成されている。

【0018】シリアル／パラレル変換回路10は、シリアルに入力される映像信号 S_V をパラレルの映像信号に変換する。例えば、シリアル／パラレル変換回路10は、シリアルに入力される一水平周期(1H)の映像信号 S_V をパラレル信号に変換し、液晶パネルにおける一行の画像に対応する m 個の画素信号を並列に出力する。

【0019】サンプルホールド回路20は、同期信号、例えば水平同期信号HDおよび垂直同期信号VDに応じて動作し、シリアル／パラレル変換回路10から出力される m 個の画素信号をサンプルして、保持(ホールド)する。そして、保持される m 個の画素信号 $S_1, S_2, S_3, \dots, S_m$ を信号線 $SL_1, SL_2, SL_3, \dots, SL_m$ にそれぞれ出力する。

【0020】液晶パネル30は、行列状に配置されている複数の液晶セル $L_{11}, L_{12}, L_{13}, \dots, L_{1m}, L_{21}, L_{22}, L_{23}, \dots, L_{2m}, L_{k1}, L_{k2}, L_{k3}, \dots, L_{km}$ により構成されている。各液晶セルは、液晶材料により構成され、液晶セルに所定の駆動電圧が印加されると、当該液晶セルの光学特性が変化するので、一つの液晶セルにより一つの画素を表示することができる。

【0021】図示のように、各液晶セルの一方の電極が共通電位 V_{SS} に接続され、他方の電極がTFTに接続されている。TFTにおいて、ソースまたはドレインを構成する不純物拡散層のうち何れか一方が信号線 $SL_1, SL_2, SL_3, \dots, SL_m$ の内何れか一つに接続され、他方の液晶セルに接続されている。TFTのゲートは垂直選択線 $VSL_1, VSL_2, \dots, VSL_k$ のうち何れか一つに接続されている。例えば、液晶セル L_{11} の一方の共通電位 V_{SS} に接続され、他方がTFT(T_{11})の一方の不純物拡散層に接続されている。 T_{11} の他方の不純物拡散層は信号線 SL_1 に接続され、ゲートは垂直選択線 VSL_1 に接続されている。

【0022】このように、液晶パネル30において m 本の信号線 $SL_1, SL_2, SL_3, \dots, SL_m$ と k 本の垂直選択線 $VSL_1, VSL_2, \dots, VSL_k$ の交差点にそれぞれ $m \times k$ 個のTFTおよび液晶セルが配置されている。同一行の各TFTはその行の垂直選択線に印加されている垂直選択信号に応じてオン／オフし、TFTがオンするとき、それに接続されている信号線に印加されている画素信号が液晶セルに印加される。このため、垂直走査回路40により各垂直選択線が順次駆動されることにより、各行のTFTが順次オンし、それに応じてサンプルホールド回路20により出力された画素信号が各行の液晶セルにより順次表示されるので、液晶パネル30によりフレームの画像が表示される。

【0023】液晶パネル30に配線されている k 本の垂直選択線は、垂直走査回路40により駆動される。図2は、本発明に係る液晶駆動回路、即ち垂直走査回路40の一構成例を示している。図示のように、垂直走査回路40は、垂直シフトレジスタ42、複数のpMOSトラ

ンジスタとnMOSトランジスタからなる垂直選択線ドライバ44および k 本の垂直走査線 $VSL_1, VSL_2, \dots, VSL_k$ における隣接する信号線の間に接続されているスイッチング素子 M_2, M_3, \dots, M_k により構成されている。なお、これらのスイッチング素子は、図示のように、pMOSトランジスタにより構成され、これらのpMOSトランジスタのソースおよびドレインを構成する不純物拡散層は、それぞれ隣り合う垂直選択線に接続され、ゲートには垂直シフトレジスタ42からの制御信号 $\phi_1c, \phi_2c, \phi_3c, \dots, \phi(k-1)c$ が印加される。

【0024】垂直シフトレジスタ42は、例えば、複数のシフトレジスタにより構成されている。垂直シフトレジスタ42は、入力される水平同期信号HDおよび垂直同期信号VDに応じて、垂直選択線ドライバ44に制御信号 $\phi_1n, \phi_2n, \phi_3n, \dots, \phi kn, \phi_1p, \phi_2p, \phi_3p, \dots, \phi kp$ を出力し、スイッチング素子 M_2, M_3, \dots, M_k にそれぞれのスイッチング素子のオン／オフを制御する制御信号 $\phi_1c, \phi_2c, \phi_3c, \dots, \phi(k-1)c$ を出力する。

【0025】垂直選択ドライバ44は、垂直シフトレジスタ42からの制御信号に応じて k 本の垂直選択線 $VSL_1, VSL_2, \dots, VSL_k$ を駆動する。例えば、pMOSトランジスタ P_1 およびnMOSトランジスタ N_1 は、垂直シフトレジスタ42からの制御信号 ϕ_1p および ϕ_1n に応じて、垂直選択線 VSL_1 を駆動電圧 V_p または接地電位 GND の何れかに設定する。具体的に、pMOSトランジスタ P_1 のソースは電圧 V_p に接続され、nMOSトランジスタ N_1 のソースは接地電位 GND に接続されている。トランジスタ P_1 と N_1 のドレイン同士が接続され、その接続点に垂直選択線 VSL_1 が接続されている。トランジスタ P_1 と N_1 のゲートにそれぞれ制御信号 ϕ_1p および ϕ_1n が入力され、これらの制御信号に応じてオンまたはオフする。

【0026】例えば、制御信号 ϕ_1p がハイレベル、 ϕ_1n がローレベルのとき、トランジスタ P_1 と N_1 がともにオフする。このとき、垂直選択線 VSL_1 がフローティング状態にある。一方、制御信号 ϕ_1p と ϕ_1n がともにハイレベルのとき、トランジスタ P_1 がオフ、 N_1 がオンし、垂直選択線 VSL_1 が接地電位 GND に保持される。または、制御信号 ϕ_1p と ϕ_1n がともにローレベルのとき、トランジスタ P_1 がオン、 N_1 がオフし、垂直選択線 VSL_1 が駆動電圧 V_p に保持される。なお、制御信号 ϕ_1p がローレベル、 ϕ_1n がハイレベルのとき、トランジスタ P_1 と N_1 がともにオンし、駆動電圧 V_p が短絡するため、この状態が禁止される。他の垂直選択線 $VSL_2, VSL_3, \dots, VSL_k$ は垂直選択線 VSL_1 とほぼ同じように、それぞれペアになっているpMOSトランジスタとnMOSトランジスタにより駆動される。

【0027】図3は、図2に示す液晶駆動回路の動作タイミングを示すタイミングチャートである。以下、図2および図3を参照しつつ、本発明の液晶駆動回路の動作を説明する。

【0028】図3に示すように、水平同期信号HDは一定の周期を持つパルス信号である。なお、図3において垂直同期信号VDを省略しているが、垂直同期信号VDは一定の周期を有するパルスである。当該垂直同期信号VDの周波数は、例えば、フレーム周波数と等しく、または、インターレーススキャンの場合に例えば、フレーム周波数の2倍の周波数である。

【0029】初期状態において制御信号 $\phi 1p$ 、 $\phi 2p$ 、 $\phi 3p$ 、 \dots 、 ϕkp および制御信号 $\phi 1n$ 、 $\phi 2n$ 、 $\phi 3n$ 、 \dots 、 ϕkn がともにハイレベルに保持されているので、垂直選択線ドライバー44において各pMOSトランジスタP1、P2、P3、 \dots 、Pkがオフし、各nMOSトランジスタN1、N2、N3、 \dots 、Nkがオンする。このため、垂直選択線VSL1、VSL2、 \dots 、VSLkがすべて接地電位GNDに保持される。また、このとき、制御信号 $\phi 1c$ 、 $\phi 2c$ 、 $\phi 3c$ 、 \dots 、 $\phi (k-1)c$ がすべてハイレベルに保持されているのでスイッチング素子M2、M3、 \dots 、Mkがすべてオフする。

【0030】最初の水平同期信号HDが入力される直前に制御信号 $\phi 1n$ がローレベルになり、その後制御信号 $\phi 1p$ もローレベルになる。これに応じて垂直選択線ドライバー44において、トランジスタP1がオンし、トランジスタN1がオフするので、垂直選択線VSL1が駆動電圧Vpまでチャージされる。垂直選択線VSL1は最初の水平周期において駆動電圧Vpレベルに保持されている。

【0031】最初の水平周期が終了する直前に制御信号 $\phi 1p$ がローレベルからハイレベルに切り換えられ、制御信号 $\phi 1n$ がローレベルのままに保持される。このため、トランジスタP1とN1がともにオフする。また、制御信号 $\phi 2n$ もローレベルに保持されているので、nMOSトランジスタN2もオフするので、垂直選択線VSL1およびVSL2がともにフローティング状態にある。さらに、この間制御信号 $\phi 1c$ がローレベルに保持されているので、スイッチング素子M2がオンする。この結果、垂直選択線VSL1により垂直選択線VSL2がチャージされる。即ち、垂直選択線VSL1とVSL2との間に電荷が再分配される。電荷再分配の前に、垂直選択線VSL1が駆動電圧Vpにあり、垂直選択線VSL2が接地電位GNDにあるので、電荷再分配の結果、これらの垂直選択線の電圧はほぼVp/2になる。

【0032】次に、水平同期信号HDの2周期目(2H目信号)から、制御信号 $\phi 1n$ および $\phi 1c$ がローレベルからハイレベルに切り換えられる。このため、nMOSトランジスタN1がオンし、垂直選択線VSL1がデ

イスチャージされ、接地電位GNDに保持される。また、スイッチング素子M2がオフする。一方、制御信号 $\phi 2p$ がハイレベルからローレベルに切り換えられるので、pMOSトランジスタP2がオンし、垂直選択線VSL2がVp/2から駆動電圧Vpにチャージされ、水平同期信号HDの第2の周期の間に駆動電圧Vpに保持される。

【0033】このように、第1周期目終了する直前に、垂直選択線VSL1とVSL2において電荷の再分配が行われることにより、垂直選択線VSL2が一旦Vp/2まで持ち上げられる。そして、第2周期目に入ると、垂直選択線VSL2がVp/2からVpにチャージされる。垂直選択線VSL2を駆動する前に、前回到駆動される垂直選択線VSL1の電荷を再利用して、垂直選択線VSL1とVSL2において電荷を再分配することにより、垂直選択線VSL2が一旦駆動電圧Vpのほぼ半分の電圧レベルまでに持ち上げられる。垂直選択線VSL2を駆動するとき、Vp/2から駆動電圧Vpまでチャージするだけの電力が消費されるので、従来の液晶駆動回路のように垂直選択線VSL2を接地電位GNDから駆動電圧Vpまでチャージする場合に比べて、消費電力がほぼ半分まで低減できる。

【0034】垂直選択線VSL2以降の各垂直選択線VSL3、 \dots 、VSLkは、上述した垂直選択線VSL2とほぼ同様に、それぞれ隣り合う垂直選択線により一旦Vp/2レベルにチャージしてから駆動電圧Vpにチャージされるので、それぞれの垂直選択線を駆動する場合の消費電力が低減される。このように、一本目の垂直選択線VSL1を除けば、他の各垂直選択線VSL2、VSL3、 \dots 、VSLkにおいて隣り合う垂直選択線間の電荷の再分配によりチャージする場合の消費電力の低減を実現できる。

【0035】以上説明したように、本実施形態によれば、垂直選択線VSL1、VSL2、 \dots 、VSLkにおいて隣接する垂直選択線の間にスイッチング素子M2、M3、 \dots 、Mkを接続し、水平同期信号HDの1周期目においてまず垂直選択線VSL1を駆動電圧Vpにチャージし、1周期目が終了する直前に垂直選択線VSL1とVSL2をとともにフローティング状態に設定し、これらの垂直選択線間のスイッチング素子M2をオンすることで、電荷の再分配を行い、垂直選択線VSL2をVp/2にチャージする。2周期目が開始すると、垂直選択線VSL2をVp/2から駆動電圧Vpまでにチャージする。以降の各垂直選択線において同様に電荷の再分配により一旦Vp/2に持ち上げてからVpにチャージするので、垂直選択線を駆動する消費電力の低減を実現できる。

【0036】第2実施形態

図4は、本発明に係る液晶駆動回路の第2の実施形態を示す回路図である。本実施形態の液晶駆動回路は、複数

のスイッチS1b, S2b, S3b…およびS1a, S2a, S3a…を用いてk本の垂直選択線VSL1, VSL2, …, VSLkを駆動する。

【0037】図示のように、垂直シフトレジスタ42aは、水平同期信号HDおよび垂直同期信号VDを受けて、これらの信号に応じて複数、例えばk個のバッファBUF1, BUF2, BUF3…を制御する。各バッファのより駆動信号φ1a, φ2a, φ3a…が出力される。なお、これらの駆動信号は、例えば、水平同期信号HDの周期ごとに順次垂直選択線の駆動電圧Vpに保持される信号である。

【0038】バッファBUF1の出力端子はスイッチS1bを介して垂直選択線VSL1に接続され、同様に、他の各バッファの出力端子はそれぞれスイッチを介して他の垂直選択線に接続されている。隣接する垂直選択線の間に、スイッチS2a, S3a, S4a…がそれぞれ接続されている。例えば、垂直選択線VSL1とVSL2との間に、スイッチS2aが接続され、垂直選択線VSL2とVSL3との間に、スイッチS3aが接続されている。

【0039】スイッチS1b, S2b, S3b…およびS1a, S2a, S3a…は、例えば、図2に示す第1の実施形態と同様に、垂直シフトレジスタ42aからの制御信号によりオン/オフが制御される。なお、図4においては、各スイッチを制御する制御信号が省略されている。

【0040】図5は、図4に示す液晶駆動回路の動作時のタイミングチャートである。以下、図4および図5を参照しつつ、本実施形態の動作について説明する。図5において、信号S1～Smは、例えば、図1に示す液晶表示装置においてサンプルホールド回路20により信号線SL1, SL2, SL3, …, SLmに出力される画素信号である。

【0041】図示のように、水平同期信号HDの周期ごとに各バッファBUF1, BUF2, BUF3…が垂直シフトレジスタ42aからの制御信号により駆動され、水平同期信号HDの1周期ごとに各バッファの出力信号が順次駆動電圧Vpレベルに保持される。

【0042】例えば、水平同期信号HDの1周期目において、バッファBUF1の出力信号φ1aが駆動電圧Vpに設定されている。このとき、スイッチS1bがオンするので、垂直選択線VSL1が駆動電圧Vpに保持される。水平同期信号HDの1周期目が終了する直前にスイッチS1bがオフするので、垂直選択線VSL1とVSL2がともにフローティング状態に保持されている。さらに、スイッチS2aがオンするため、垂直選択線VSL1とVSL2の間に、電荷の再分配が行われる。電荷再分配の結果、垂直選択線VSL1とVSL2がほぼVp/2に保持される。

【0043】水平同期信号HDの2周期目に入ると、バ

ッファBUF2が駆動され、その出力端子が駆動電圧Vpに保持される。このとき、スイッチS2bがオンするので、垂直選択線VSL2が駆動電圧Vpにチャージされる。即ち、垂直選択線VSL2が隣り合う垂直選択線VSL1との電荷再分配により、一旦Vp/2までチャージされたあと、バッファBUF2により駆動電圧Vpにチャージされる。このため、接地電位GNDからVpまでチャージするより、消費電力がほぼ半分まで低減することができる。

【0044】垂直選択線VSL2以降の他の各垂直選択線VSL3…は、垂直選択線VSL2とほぼ同じように、隣接する垂直選択線間の電荷の再分配により一旦Vp/2のレベルまでチャージしたあと、駆動電圧Vpにチャージされるので、これら垂直選択線を駆動するための消費電力が低減される。

【0045】以上説明したように、本実施形態によれば、水平同期信号HDおよび垂直同期信号VDを受けて垂直シフトレジスタ42aによりバッファBUF1, BUF2, BUF3…を水平周期ごとに順次駆動し、水平同期信号HDの1周期目においてスイッチS1bがオンし、垂直選択線VSL1を駆動電圧Vpに保持する。1周期目終了する直前にスイッチS1bをオフし、スイッチS2aをオンすることで、垂直選択線VSL1とVSL2の電荷再分配を行い、垂直選択線VSL2をVp/2に保持する。水平同期信号HDの2周期目において、スイッチS2bをオンし、バッファBUF2により垂直選択線VSL2をVp/2からVpにチャージする。このため、垂直選択線を駆動するための消費電力を低減できる。

【0046】なお、以上の第1および第2の実施形態は、液晶駆動回路を例に本発明の構成例を示しているが、本発明は液晶駆動回路に限定されるものではなく、同じ動作を行う他の信号線駆動回路についても本発明を適用することができる。例えば、イメージスキャンナーにおいては、行列状に配置されているイメージセンサーは行または列ごとに順次駆動されるので、イメージセンサーの駆動用信号線において隣り合う信号線間に本発明のように電荷を再利用することにより、駆動回路の消費電力の低減を実現できる。

【0047】

【発明の効果】以上説明したように、本発明の信号線駆動回路およびそれを用いた液晶駆動回路によれば、順次駆動される複数の信号線において、隣り合う信号線の間にスイッチを設けて、所定のタイミングでこれらのスイッチをオン/オフさせることにより隣り合う信号線間に電荷を再利用し、信号線の駆動する場合の消費電力を低減できる利点があるまた、本発明の液晶駆動回路を用いることは、液晶表示装置の大型化、高解像度化およびフレーム周波数の向上に有利である。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の一構成例を示す回路図である。

【図2】本発明に係る液晶駆動回路の第1の実施形態を示す回路図である。

【図3】図2に示す液晶駆動回路の動作タイミングチャートである。

【図4】本発明に係る液晶駆動回路の第2の実施形態を示す回路図である。

【図5】図4に示す液晶駆動回路の動作タイミングチャートである。

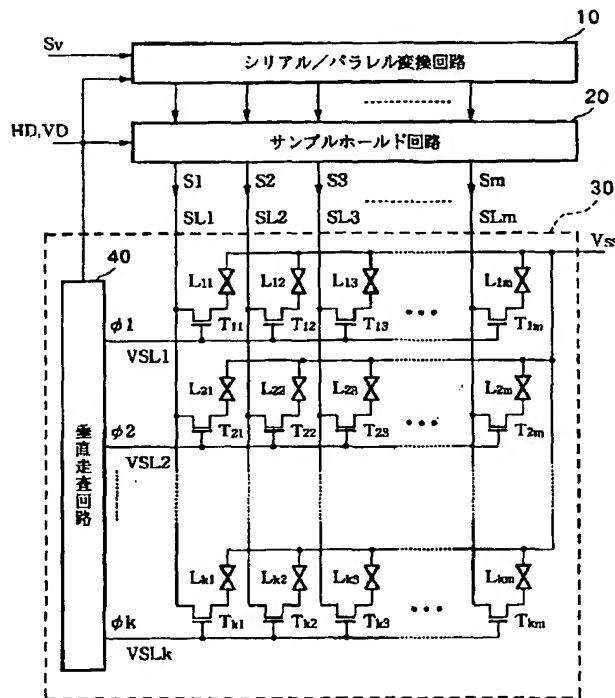
【図6】一般的な液晶駆動回路の構成を示す回路図である。

【図7】図6に示す液晶駆動回路の動作タイミングチャートである。

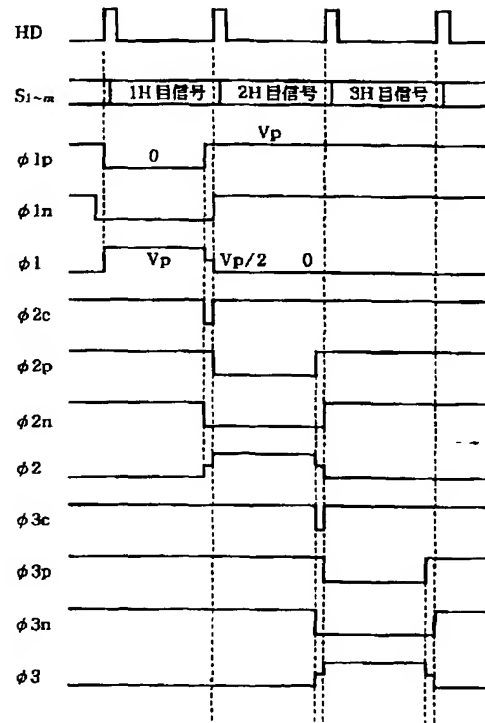
【符号の説明】

10…シリアル/パラレル変換回路、20…サンプルホールド回路、30…液晶パネル、40…垂直走査回路、42、42a…垂直シフトレジスタ、44…垂直選択線ドライバー、 T_{11} , T_{12} , …, T_{1m} , T_{21} , T_{22} , …, T_{2m} , T_{k1} , T_{k2} , …, T_{km} …TFT、 L_{11} , L_{12} , …, L_{1m} , L_{21} , L_{22} , …, L_{2m} , L_{k1} , L_{k2} , …, L_{km} …液晶セル、BUF1, BUF2, BUF3…バッファ、 V_p …駆動電圧、GND…接地電位。

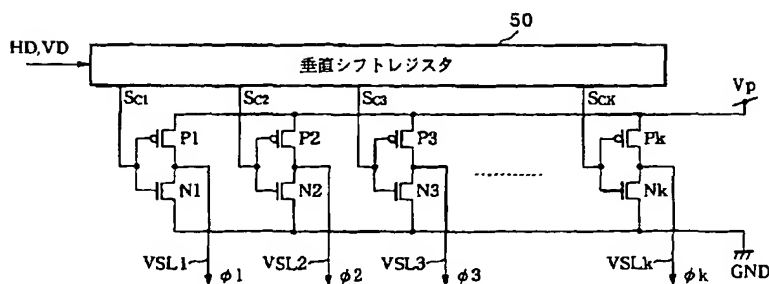
【図1】



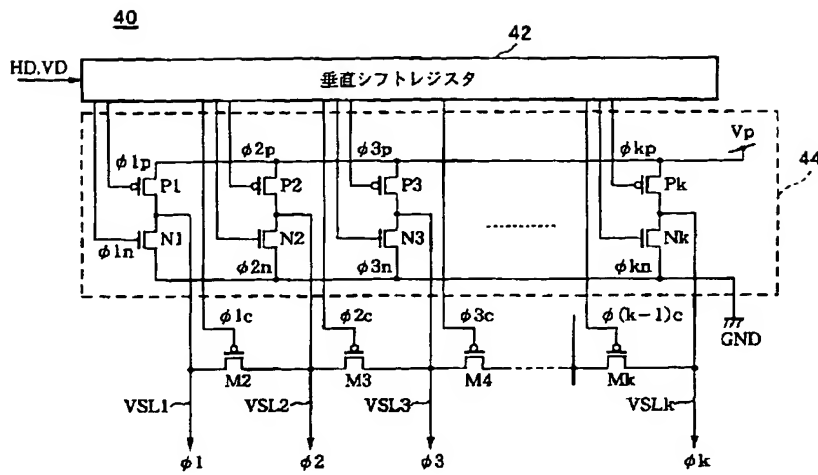
【図3】



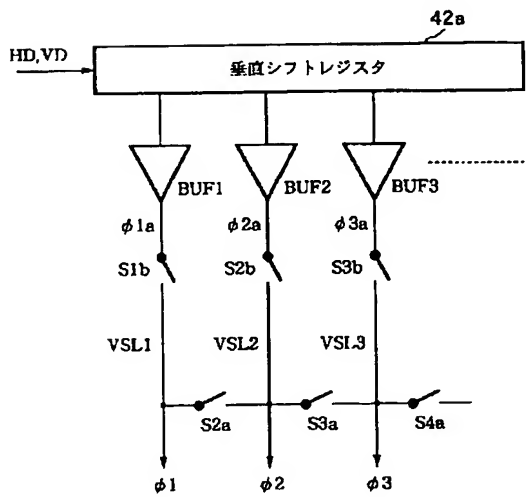
【図6】



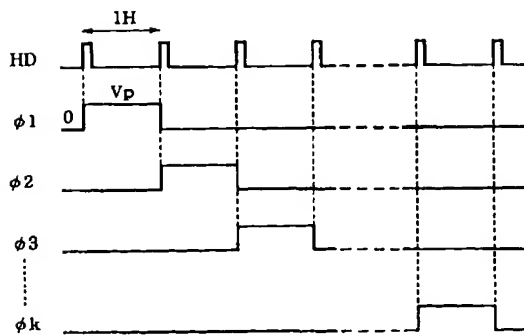
【図2】



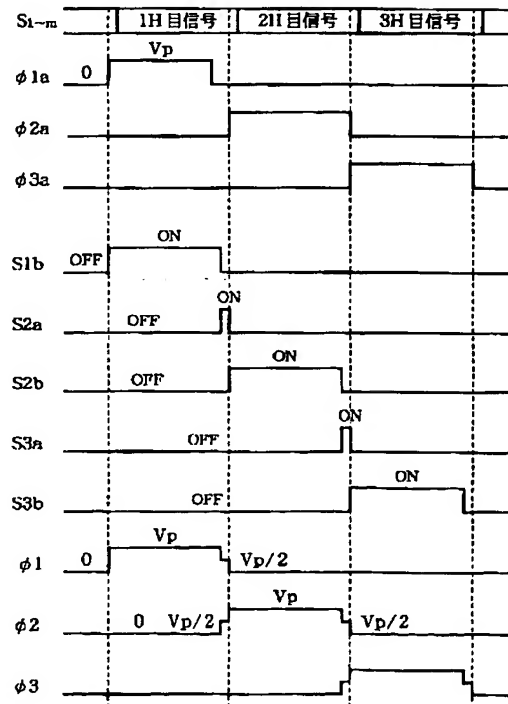
【図4】



【図7】



【図5】



フロントページの続き

Fターム(参考) 2H093 NA16 NA43 NA53 NB22 NC12
NC22 NC34 ND60
5C006 AA01 AC28 AC29 AF25 AF42
AF44 AF51 AF71 BB16 BC03
BC13 BC20 BF03 BF11 BF32
BF34 BF38 FA47
5C080 AA10 BB05 DD26 FF11 GG08
JJ02 JJ03 JJ04